

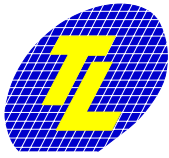
TL0108 64 通道点阵 LCD 驱动电路

概述

TL0108 是一种点阵式液晶显示列驱动器,具有 64 通道输出。芯片由显示存储器、64 位数据锁存器、64 位驱动器和解码逻辑组成。芯片内含的 RAM 用来存储从 8 位 MCU 传输来的显示数据并产生点阵液晶的驱动信号, TL0108 和 TL0107 共同组成液晶驱动模块。

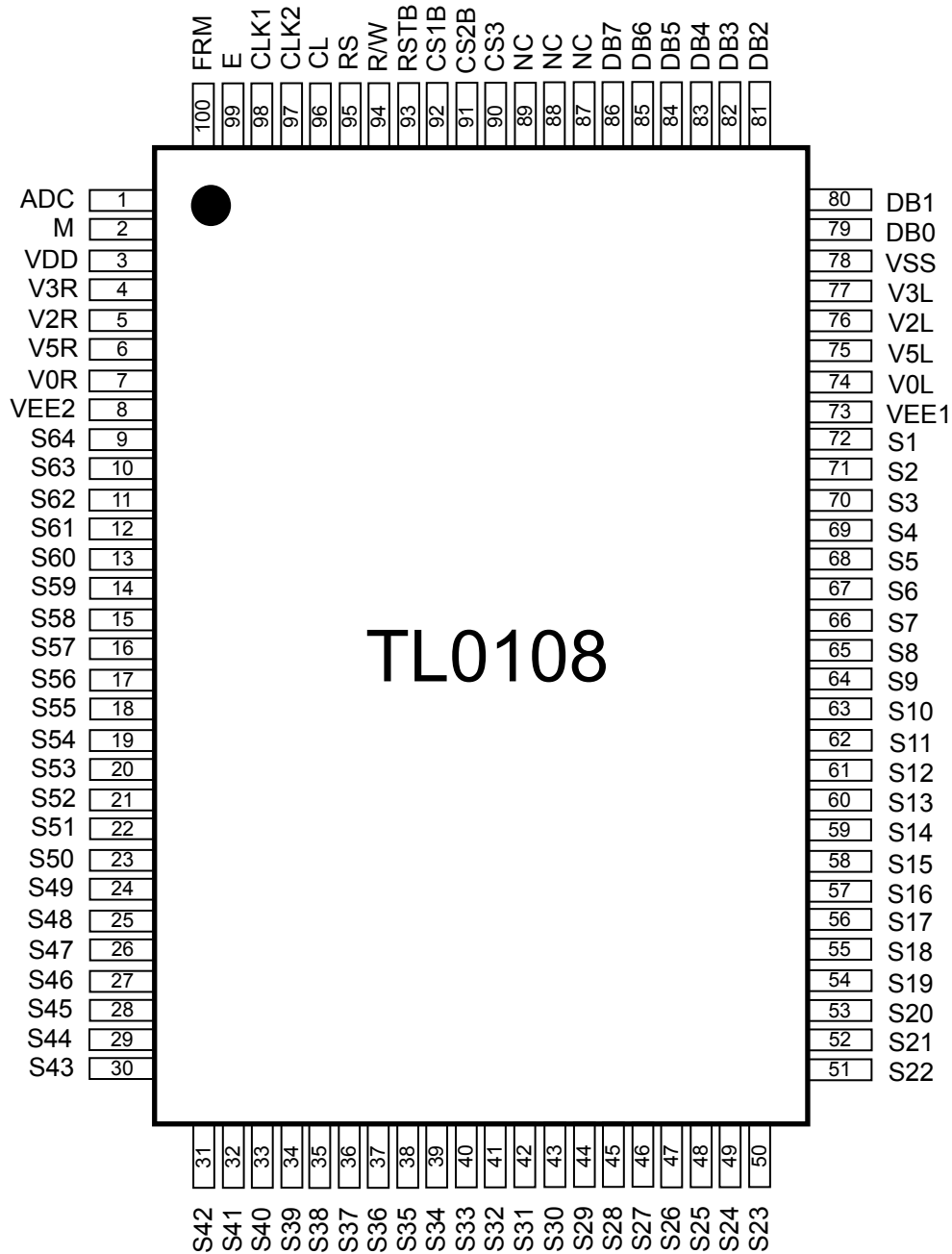
功能特点

- 64 通道点阵式液晶列驱动
- 输入、输出信号
输入:
 - 1) 8 位并联显示数据
 - 2) MPU 产生的控制信号
 - 3) 分级电压偏置
(V0R,V0L,V2R,V2L, V3R,V3L,V5R,V5L)输出: 64 通道液晶驱动
- MPU 产生的显示数据存储存储在 RAM 中
- 内部 RAM
 - 1) 容量: 512 字节(4096 位)
 - 2) RAM 每位数据: DATA=1:ON
DATA=0:OFF
- LCD 显示占空比: 1/32~1/64
- LCD 驱动电压: 8V~15V(VDD-VEE)
- 电源电压: 2.7V~5.5V
- 高压 CMOS 工艺
- 芯片尺寸: 3068 x 2782 (um*um), 芯片衬底接 VDD。
- 100QFP 封装/裸片



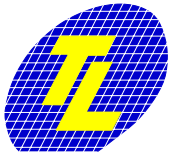
管脚排列

100-QFP

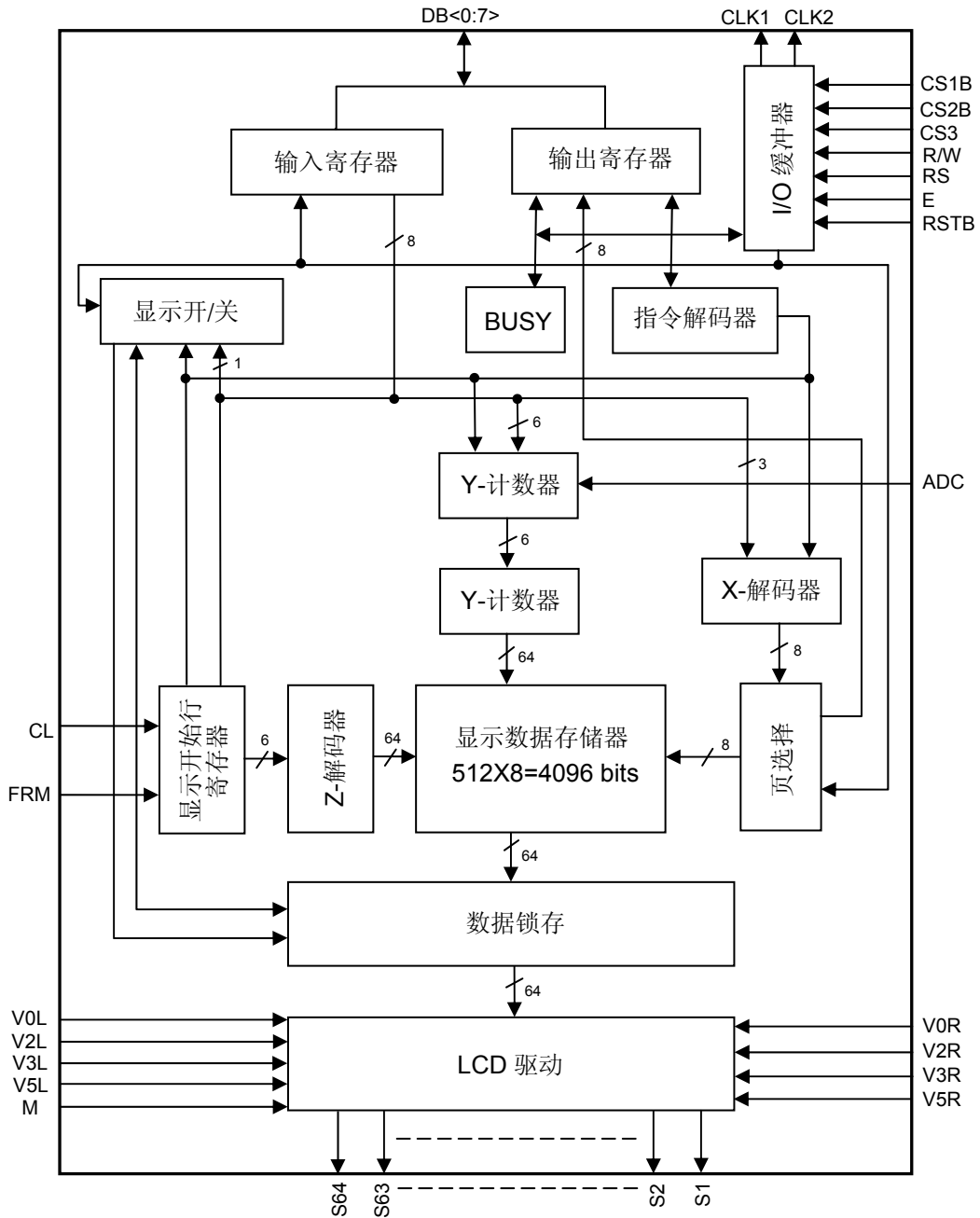


* All specs and applications shown above subject to change without prior notice.

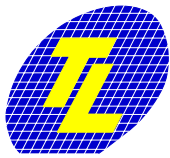
(以上电路及规格仅供参考,本公司得径行修正)



功能框图

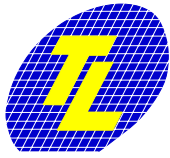


* All specs and applications shown above subject to change without prior notice.
(以上电路及规格仅供参考,本公司得径行修正)



管脚说明

管脚号	符号	I/O	说明				
3 78 73,8	VDD VSS VEE1.2	电源	内部逻辑电压(+5V±10%) 地(0V) LCD 驱动电压 VSS=0V, VDD=+5V±10%, VDD-VEE=8V~17V VEE1 和 VEE2 连在同一电压上				
74,7 76,5 77,4 75,6	V0L,V0R V2L,V2R V3L,V3R V5L,V5R	电压	LCD 驱动偏置电压 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">选择电平</th> <th style="width: 50%;">非选择电平</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">V0L(R),V5L(R)</td> <td style="text-align: center;">V2L(R),V3L(R)</td> </tr> </tbody> </table> V0L 和 V0R(V2L&V2R,V3L&V3R,V5L&V5R)连在同一电压	选择电平	非选择电平	V0L(R),V5L(R)	V2L(R),V3L(R)
选择电平	非选择电平						
V0L(R),V5L(R)	V2L(R),V3L(R)						
92 91 90	CS1B CS2B CS3	I	片选 为了芯片有效, 端口必须为 CS1B=L, CS2B=L, CS3=H				
2	M	I	液晶驱动转换信号				
1	ADC	I	地址控制信号: 决定存储器 Y 地址和数据输出端的对应关系 ADC=H→Y0:S1-Y63:S6 ADC=L→Y0:S64-Y63:S1				
100	FRM	I	同步控制信号: 当 frame 信号变高后同步行信号和帧信号并预置 6 位 Z 计数器				
99	E	I	使能信号 写模式(R/W=L) →DB<0:7>数据在 E 的下降沿被锁存 读模式(R/W=H) →E 为高电平时 DB<0:7>为读出数据				
98 97	CLK1 CLK2	I	内部工作两相时钟信号 该时钟信号用来执行显示 RAM 数据的输入/输出				
96	CL	I	显示同步信号: 显示数据在 CL 信号上升沿被锁存, 在 CL 下降沿 Z 地址寄存器增 1				
95	RS	I	数据或指令 RS=H →DB<0:7>: 显示 RAM 数据 RS=L →DB<0:7>: 指令数据				
94	R/W	I	读/写 R/W=H→数据出现在 DB<0:7>上, 当 E=H, CS1B=L, CS2B=L, CS3=H 时可以被 CPU 读出 R/W=L→显示数据 DB<0:7>, 当 CS1B=L, CS2B=L, CS3=H 时, 并在 E 的下降沿被写入显示 RAM				
79-86	DB0-DB7	I/O	数据总线 三态 I/O 端口				



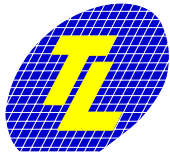
72-9	S1-S64	O	LCD 段驱动输出 显示存储器 1: 开 显示存储器 0: 关 (与显示存储器数据以及 M 有关)		
			M	数据	输出电平
			L	L	V2
				H	V0
			H	L	V3
H	V5				
93	RSTB	I	复位信号 当 RSTB=L, 开/关寄存器被置 0(显示关) 显示开始行寄存器被置 0(Z 地址置 0, 从 0 行显示) 复位后, 这些状态仅能由指令改变。		
87 88 89	NC		未连接		

最大极限工作条件

特性	符号	值	单位	备注
工作电压	V_{DD}	-0.3 to +7.0	V	(1)
电源电压	V_{EE}	$V_{DD} - 15.0$ to $V_{DD} + 0.3$	V	(4)
驱动器电源电压	V_B	-0.3 to $V_{DD} + 0.3$	V	(1), (3)
	V_{LCD}	$V_{EE} - 0.3$ to $V_{DD} + 0.3$	V	(2)
工作温度	T_{OPR}	-30 to +85	°C	-
存储温度	T_{STG}	-55 to +125	°C	-

注:

1. 电压均相对于 $V_{SS}=0V$
2. V_{EE1} 、 V_{EE2} 接相同的电源电压, $V_{LCD}=V_{DD}-V_{EE}$
3. 对于 M、FRM、CL、RSTB、ADC、CLK1、CLK2、CS1B、CS2B、CS3、E、R/W、RS 和 DB0-DB7
4. 对于 V0L(R),V2L(R),V3L(R)和 V5L(R)。
 $V_{DD} \geq V0L = V0R \geq V2L = V2R \geq V3L = V3R \geq V5L = V5R \geq V_{EE}$



电气特性

直流特性($V_{DD}=+5V\pm 10\%$, $V_{SS}=0V$, $|V_{DD}-V_{EE}|=8\sim 15V$, $T_a=-30\sim +85^\circ C$)

参数	符号	条件	最小	典型	最大	单位	备注
输入高电压	V_{IH1}	--	$0.7V_{DD}$	--	V_{DD}	V	(1)
	V_{IH2}	--	2.0	--	V_{DD}	V	(2)
输入低电压	V_{IL1}	--	0	--	$0.3V_{DD}$	V	(1)
	V_{IL2}	--	0	--	0.8	V	(2)
输出高电压	V_{OH}	$I_{OH}=-200\mu A$	2.4	--	--	V	(3)
输出低电压	V_{OL}	$I_{OL}=1.6mA$	--	--	0.4	V	(3)
输入漏电流	I_{LKG}	$V_{IN}=V_{SS}-V_{DD}$	-1.0	--	1.0	μA	(4)
三态(关)输入电流	I_{TSL}	$V_{IN}=V_{SS}-V_{DD}$	-5.0	--	5.0	μA	(5)
驱动输入漏电流	I_{DIL}	$V_{IN}=V_{EE}-V_{DD}$	-2.0	--	2.0	μA	(6)
工作电流	I_{DD1}	在显示期间	--	--	150	μA	(7)
	I_{DD2}	数据访问期间 访问周期=1MHz	--	--	600	μA	(7)
导通电阻	R_{ON}	$V_{DD}-V_{EE}=15V$ $I_{LOAD}=\pm 0.1mA$	--	--	7.5	K Ω	(8)

注:

1. CL, FRM, M, RSTB, CLK1, CLK2
2. CS1B, CS2B, CS3, E, R/W, RS, DB0-DB7
3. DB0-DB7
4. 除 DB0-DB7
5. DB0-DB7 在高阻抗
6. VOL(R), V2L(R), V3L(R), V5L(R)
7. 1/64 占空比, FCLK=250KHz, 帧频率为 70Hz, 输出: 空载
8. $V_{DD}-V_{EE}=15.5V$ $V_{OL}(R) > V_{2L}(R) = V_{DD}-2/7(V_{DD}-V_{EE}) > V_{3L}(R) = V_{EE}+2/7(V_{DD}-V_{EE}) > V_{5L}(R)$

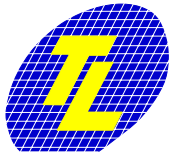
交流特性($V_{DD}=+5V\pm 10\%$, $V_{SS}=0V$, $T_a=-30\sim +85^\circ C$)

时序

特性	符号	最小	典型	最大	单位
CLK1、CLK2 周期时间	t_{CY}	2.5	--	20	μs
CLK1 低电平宽度	t_{WL1}	625	--	--	ns
CLK2 低电平宽度	t_{WL2}	625	--	--	
CLK1 高电平宽度	t_{WH1}	1875	--	--	
CLK2 高电平宽度	t_{WH2}	1875	--	--	
CLK1-CLK2 相位差	t_{D12}	625	--	--	
CLK2-CLK1 相位差	t_{D21}	625	--	--	

* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考, 本公司得径行修正)



CLK1、CLK2 上升时间	t_R	--	--	150	
CLK1、CLK2 下降时间	t_F	--	--	150	

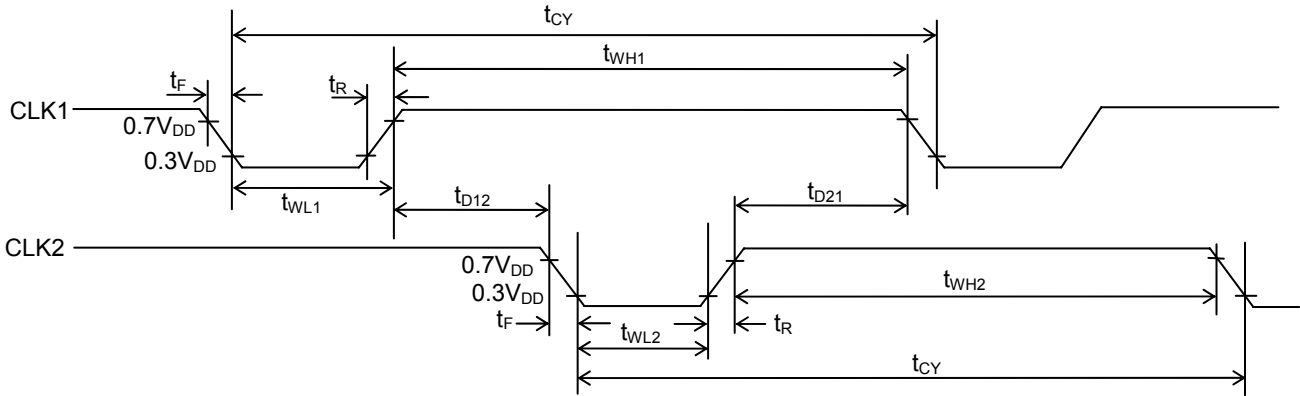


图 1. 外部时钟波形

显示控制时序

特性	符号	最小	典型	最大	单位
FRM 延迟时间	t_{DF}	-2	--	+2	us
M 延迟时间	t_{DM}	-2	--	+2	us
CL 低电平宽度	t_{WL}	35	--	--	us
CL 高电平宽度	t_{WH}	35	--	--	us

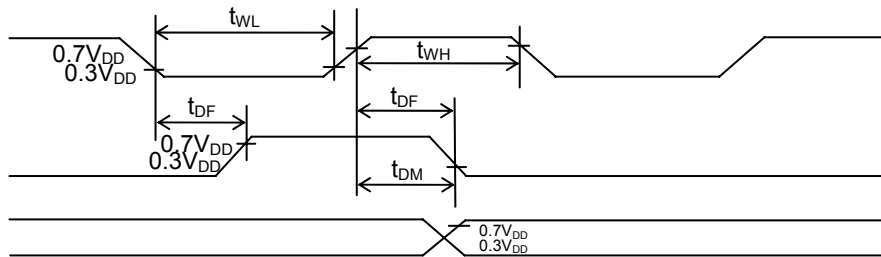
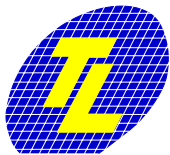


图 2. 显示控制波形

* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)



MPU 接口

特性	符号	最小	典型	最大	单位
E 周期	t_c	1000	--	--	ns
E 高电平宽度	t_{WH}	450	--	--	ns
E 低电平宽度	t_{WL}	450	--	--	ns
E 上升时间	t_R	--	--	25	ns
E 下降时间	t_F	--	--	25	ns
地址设置时间	t_{ASU}	140	--	--	ns
地址保持时间	t_{AH}	10	--	--	ns
数据设置时间	t_{DSU}	200	--	--	ns
数据延迟时间	t_D	--	--	320	ns
数据保持时间(写)	t_{DHW}	10	--	--	ns
数据保持时间(读)	t_{DHR}	20	--	--	ns

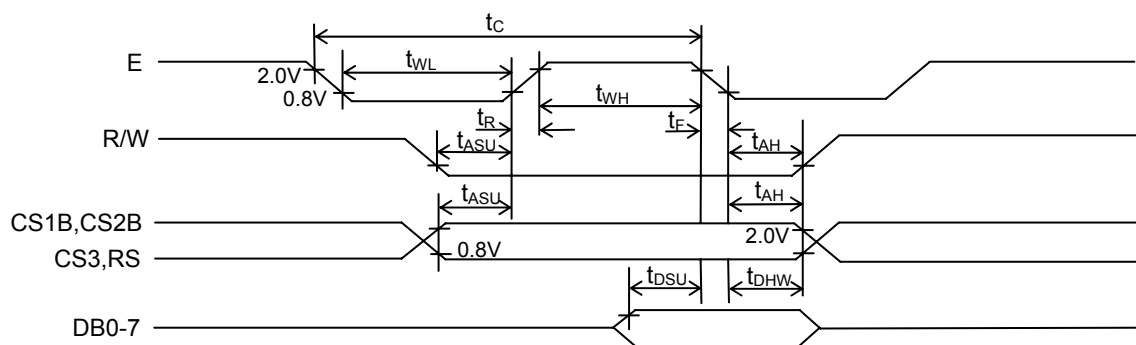


图 3. MPU 写时序

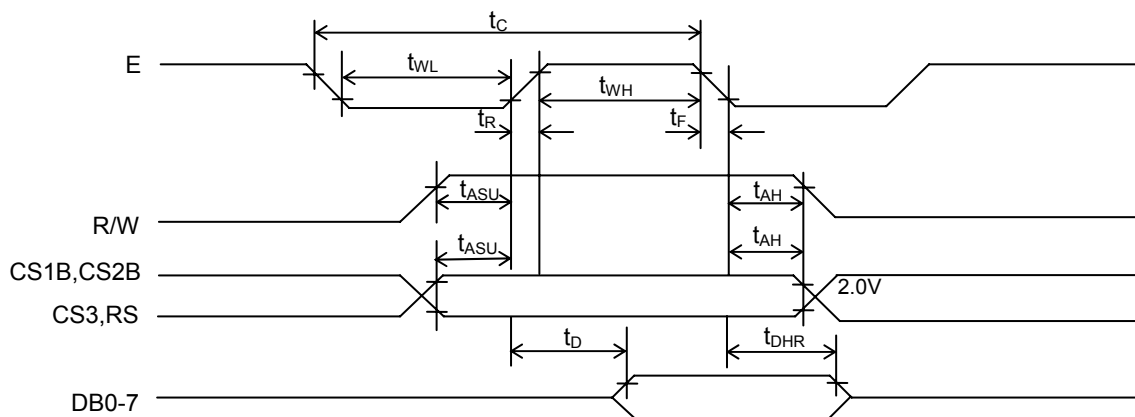
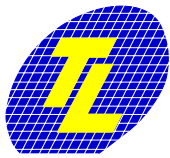


图 4. MPU 读时序

* All specs and applications shown above subject to change without prior notice.
 (以上电路及规格仅供参考,本公司得径行修正)



运行原理及方法

I/O 缓冲器

输入缓冲器控制着芯片是否处于有效状态。只有当 CS1B~CS3 为有效模式，否则数据的输入/输出和指令不会被执行，内部状态不变。RSTB 和 ADC 的运行与 CS1B-CS3 的状态无关。

输入寄存器

输入寄存器提供了一个芯片与具有不同工作频率的 MPU 的接口。输入寄存器临时存储用来暂存写进显示 RAM 数据，当 CS1B~CS3 有效，R/W 和 RS 选择输入寄存器。从 MPU 来的数据被写入到输入寄存器，然后再写入到显示存储器中。数据在 E 信号的下降沿被锁存并由内部操作自动写入显示 RAM。

输出寄存器

当 CS1B、CS2B 和 CS3 处于有效且 R/W=RS=H 时，输出寄存器暂存显示寄存器中的数据。当 CS1B、CS2B 和 CS3 处于有效且 R/W=H，RS=L 时，状态数据（忙检查）可以被读出。读显示 RAM 中的数据，需要两次读操作指令访问，第一次，显示数据 RAM 被锁存在输出寄存器中，第二次，MPU 读出锁存的数据。当忙标志为不需要两次。

RS	R/W	功能
L	L	指令
	H	状态读（忙检测）
H	L	写数据（从输入寄存器到显示数据存储器）
	H	读数据（从显示数据存储器到输出寄存器）

复位

系统可以被以下两种方式初始化：当上电时 RSTB 端保持低电平；接收 MPU 的指令；

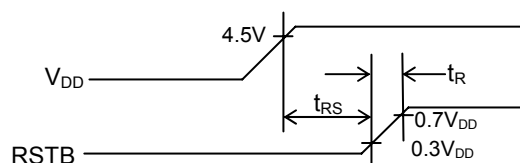
当 RSTB 端置低电平，执行下列步骤：

- 显示关
- 显示开始位置寄存器置 0（Z 计数器）

当 RSTB 为低时，除了读状态指令外其它的指令不被接收。因此，在确认 DB4=0（清除 RSTB）和 DB7=0（准备好）后执行其它指令

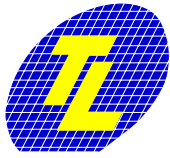
初始供电条件 如下表

参数	符号	最小	典型	最大	单位
复位时间	t_{RS}	1.0	--	--	US
上升时间	t_R	--	--	200	ns



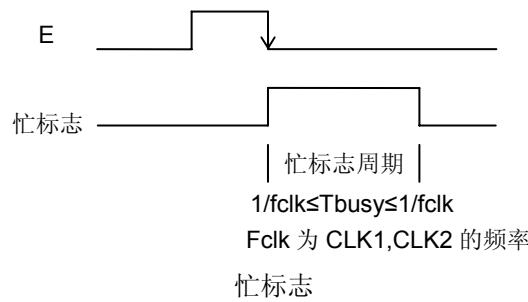
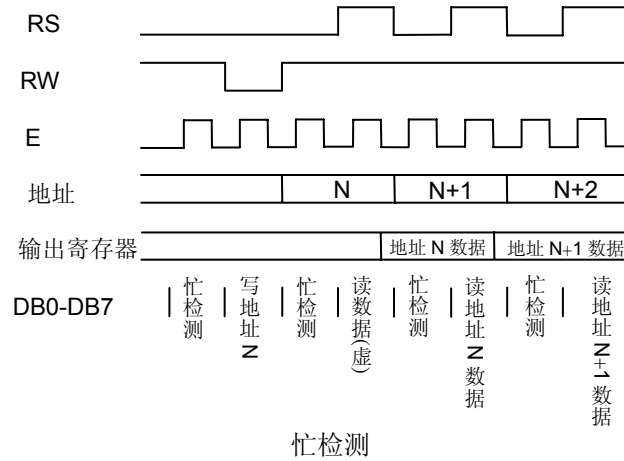
* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)



忙标志

忙标志表示 TL0108 的忙/闲状态，当忙标志为高时，表示 TL0108 正在执行内部操作，当忙标志为低时，TL0108 可以接受外部命令或数据，DB7 表示忙标志



显示开关触发器

显示开/关触发器使液晶显示开/关。当该触发器被复位（逻辑低电平），段输出端输出选择电压或非选择电压；当该触发器被置位（逻辑高电平）时，不管 RAM 中的数据，段输出端输出均为非选择电压。显示开/关触发器状态可由指令修改。在 RSTB 端为低电平时，段输出端无信号。读状态指令读出在 DB5 上表示该触发器状态。该触发器由 CL 信号同步。

X 页寄存器

X 页寄存器用来标识内部显示 RAM 页，无计数功能，地址由指令设置。

Y 地址计数器

Y 地址计数器标识内部显示 RAM 地址，由指令设置，并在读或写操作时自动增 1。

显示数据存储

显示数据存储存储液晶显示数据。“1”为显示，“0”为关闭。

显示数据 RAM 地址和段输出由 ADC 控制。

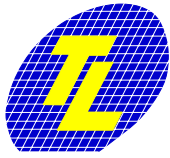
— ADC=H → Y-地址 0:S1 -Y 地址 63:64

— ADC=L → Y-地址 0:S64 -Y 地址 63:S1

ADC 端接 V_{DD} 或 V_{SS} 。

* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)



显示起始行寄存器

显示开始行寄存器表示液晶显示器顶行和显示 RAM 中的数据的地址的对应关系。开始行设置指令数据中的 DB<0:5>被锁存在显示开始寄存器中。并在 FRM 为高时，锁存数据传送至 Z 地址计数中。这个操作作用于滚动液晶屏的显示内容。

显示控制指令

显示控制指令控制 TL0108 内部状态，指令由 MPU 接收。下表为控制指令：

指令	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	功能	
显示开/关	L	L	L	L	H	H	H	H	H	L/H	控制显示开/关,不影响内部状态和显示存储器数据。 L:OFF,H:ON	
设置地址 (Y 地址)	L	L	L	H	Y 地址 (0-63)						设置 Y 地址计数器中 Y 地址	
设置页 (X 地址)	L	L	H	L	H	H	H	页 (0-7)			设置 X 地址寄存器中 X 地址	
显示起始行 (Z 地址)	L	L	H	H	显示开始行 (0-63)						设置显示开始行寄存器内容	
状态读	L	H	忙	L	开/关	复位	L	L	L	L	读状态: Busy L: 空闲 H: 工作中 开/关 L: 显示开 H: 显示关 复位 L: 正常 H: 复位	
写显示数据	H	L	写数据									写数据 (DB0:7) 到显示存储器, 写指令后, Y 地址自动增 1。
读显示数据	H	H	读数据									从显示存储器中读取数据到数据总线

显示开/关

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	1	1	1	1	D

显示数据在 D=1 时显示在 D=0 时消失。尽管当 D=0 时显示数据不在屏幕上显示，该数据依然保存在存储器中，因此可以将 D=0 改变到 D=1 使其显示。

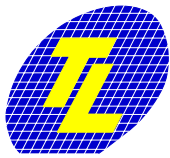
设置地址 (Y 地址)

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	AC5	AC4	AC3	AC2	AC1	AC0

显示数据存储器的 Y 地址 (AC0-AC5) 在 Y 计数器中设置。地址由指令设置并在对显示 RAM 读或写时自动增 1。

* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)



设置页 (X 地址)

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	0	1	1	1	AC2	AC1	AC0

显示存储器的 X 地址 (AC0-AC2) 在 X 地址寄存器在 X 地址寄存器中设置。MPU 中读/写操作在这一页面执行, 直到下一个页被设置。

显示开始行 (Z 地址)

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	1	AC5	AC4	AC3	AC2	AC1	AC0

显示存储器的 Z 地址在显示开始行寄存器中被设置并显示在屏幕顶端。当显示占空比为 1/64 或其它 (1/32-1/64), 在 LCD 显示屏从显示开始指令指定的行开始显示。

读状态

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	BUSY	0	ON/OFF	RESET	0	0	0	0

● BUSY

BUSY=1, 芯片执行内部操作, 不接受指令。

BUSY=0, 芯片准备好接收指令。

● 开/关

当开/关=1 显示开

当开/关=0 显示关

● 复位

RESET=1 系统正在被初始化, 在这个状态下, 除状态读指令外, 其余不接收

RESET=0 系统初始化结束, 系统可以正常工作

写显示数据

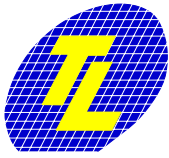
RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	D7	D6	D5	D4	D3	D2	D1	D0

写数据 (D0-D7) 至显示存储器, 写指令结束后, Y 地址自动增 1

读显示数据

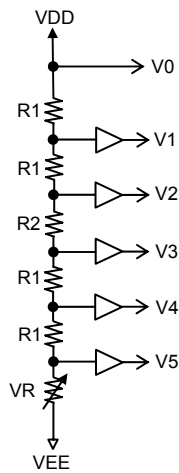
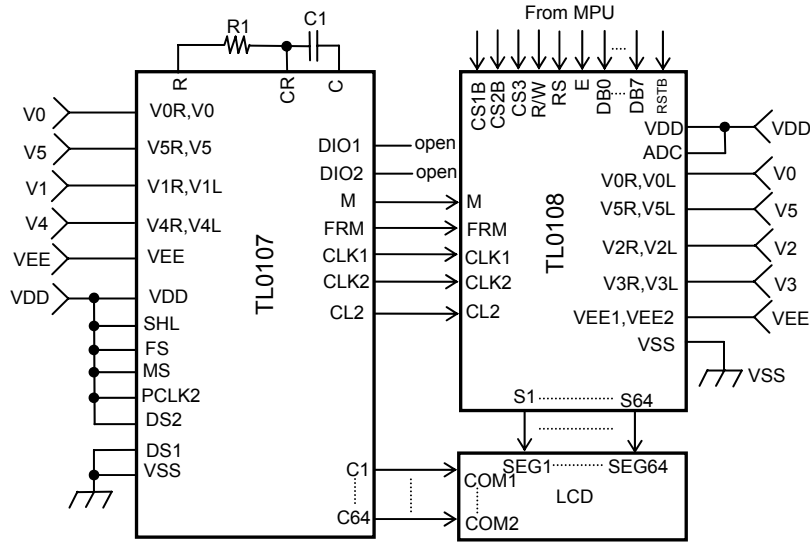
RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	1	D7	D6	D5	D4	D3	D2	D1	D0

从显示存储器读数据 (D0-D7), 读指令结束后, Y 地址自动增 1



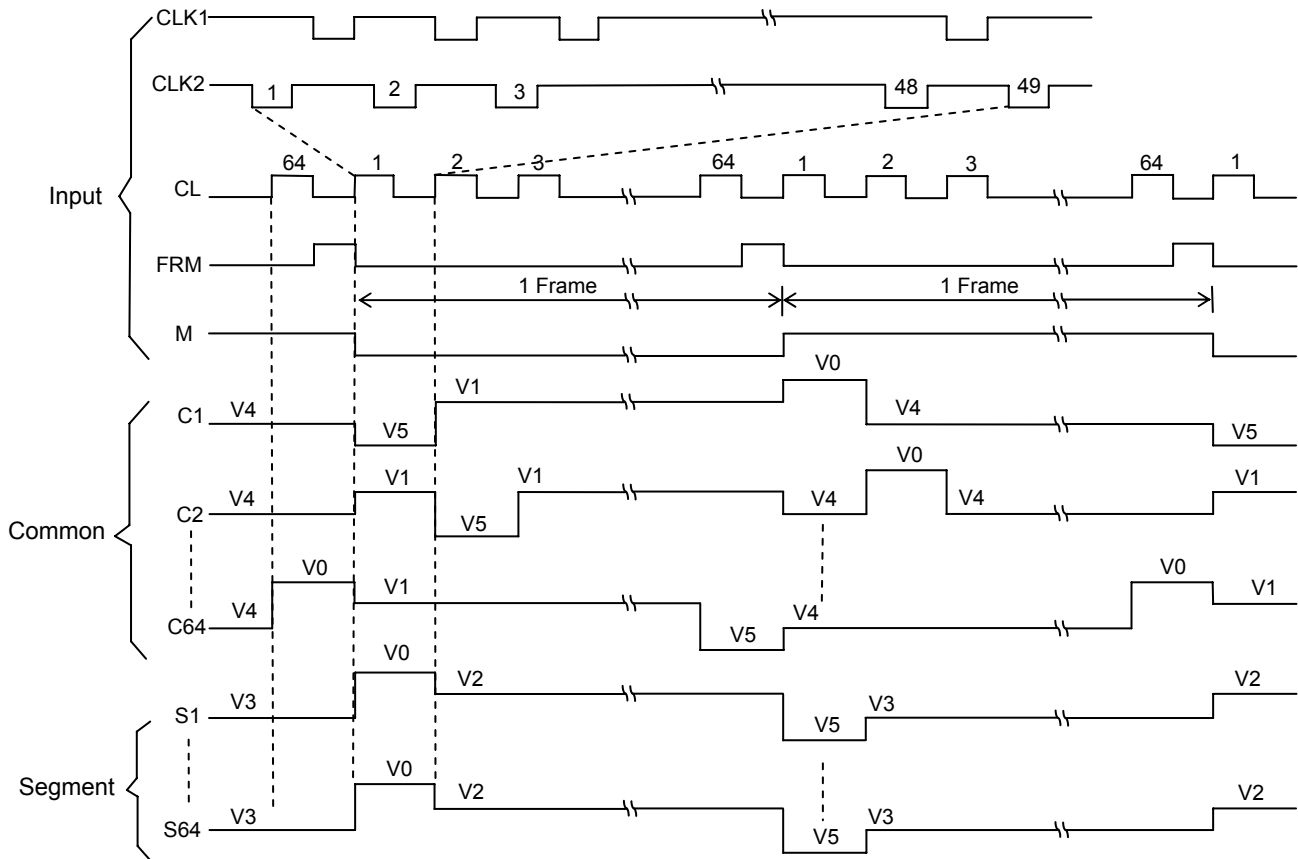
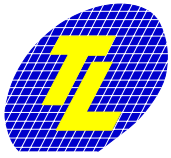
应用图

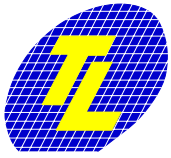
1/64 占宽比位驱动 (TL0107) 接口电路



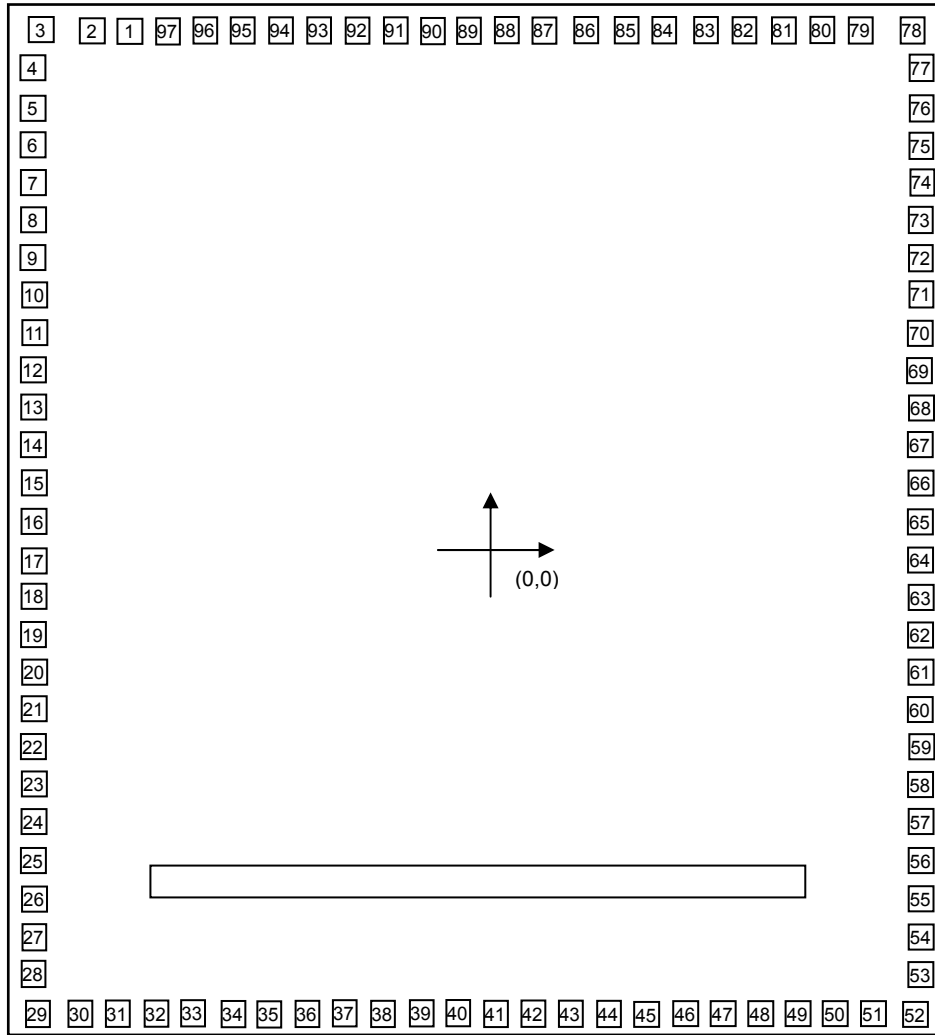
* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)



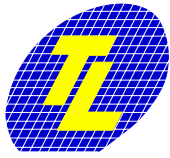


PAD 图



芯片尺寸 : 3068 x 2782 μm^2

衬底接 VDD



PAD 坐标

Pad No.	Pad Name	X	Y	Pad No.	Pad Name	X	Y
1	ADC	-1461.00	-1030.70	50	S23	1461.00	1064.00
2	M	-1461.00	-1142.70	51	S22	1461.00	1176.00
3	VDD	-1461.00	-1296.70	52	S21	1461.00	1302.00
4	V3R	-1344.00	-1318.00	53	S20	1344.00	1318.00
5	V2R	-1232.00	-1318.00	54	S19	1232.00	1318.00
6	V5R	-1120.00	-1318.00	55	S18	1120.00	1318.00
7	V0R	-1008.00	-1318.00	56	S17	1008.00	1318.00
8	VEE2	-896.00	-1318.00	57	S16	896.00	1318.00
9	S64	-784.00	-1318.00	58	S15	784.00	1318.00
10	S63	-672.00	-1318.00	59	S14	672.00	1318.00
11	S62	-560.00	-1318.00	60	S13	560.00	1318.00
12	S61	-448.00	-1318.00	61	S12	448.00	1318.00
13	S60	-336.00	-1318.00	62	S11	336.00	1318.00
14	S59	-224.00	-1318.00	63	S10	224.00	1318.00
15	S58	-112.00	-1318.00	64	S9	112.00	1318.00
16	S57	0.00	-1318.00	65	S8	0.00	1318.00
17	S56	112.00	-1318.00	66	S7	-112.00	1318.00
18	S55	224.00	-1318.00	67	S6	-224.00	1318.00
19	S54	336.00	-1318.00	68	S5	-336.00	1318.00
20	S53	448.00	-1318.00	69	S4	-448.00	1318.00
21	S52	560.00	-1318.00	70	S3	-560.00	1318.00
22	S51	672.00	-1318.00	71	S2	-672.00	1318.00
23	S50	784.00	-1318.00	72	S1	-784.00	1318.00
24	S49	896.00	-1318.00	73	VEE1	-896	1318.00
25	S48	1008.00	-1318.00	74	V0L	-1008.00	1318.00
26	S47	1120.00	-1318.00	75	V5L	-1120.00	1318.00
27	S46	1232.00	-1318.00	76	V2L	-1232.00	1318.00
28	S45	1344.00	-1318.00	77	V3L	-1344.00	1318.00
29	S44	1461.00	-1302.00	78	VSS	-1461.00	1296.80
30	S43	1461.00	-1176.00	79	DB0	-1461.00	1142.65
31	S42	1461.00	-1064.00	80	DB1	-1461.00	1022.55
32	S41	1461.00	-952.00	81	DB2	-1461.00	910.55
33	S40	1461.00	-840.00	82	DB3	-1461.00	790.45
34	S39	1461.00	-728.00	83	DB4	-1461.00	678.45
35	S38	1461.00	-616.00	84	DB5	-1461.00	558.35
36	S37	1461.00	-504.00	85	DB6	-1461.00	446.35
37	S36	1461.00	-392.00	86	DB7	-1461.00	326.25
38	S35	1461.00	-280.00	87	CS3	-1461.00	201.30
39	S34	1461.00	-168.00	88	CS2B	-1461.00	89.30
40	S33	1461.00	-56.00	89	CS1B	-1461.00	-22.70
41	S32	1461.00	56.00	90	RSTB	-1461.00	-134.70
42	S31	1461.00	168.00	91	RW	-1461.00	-246.70
43	S30	1461.00	280.00	92	RS	-1461.00	-358.70
44	S29	1461.00	392.00	93	CL	-1461.00	-470.70
45	S28	1461.00	504.00	94	CLK2	-1461.00	-582.70
46	S27	1461.00	616.00	95	CLK1	-1461.00	-694.70
47	S26	1461.00	728.00	96	E	-1461.00	-806.70
48	S25	1461.00	840.00	97	FRM	-1461.00	-918.70
49	S24	1461.00	952.00				

* All specs and applications shown above subject to change without prior notice.

(以上电路及规格仅供参考,本公司得径行修正)